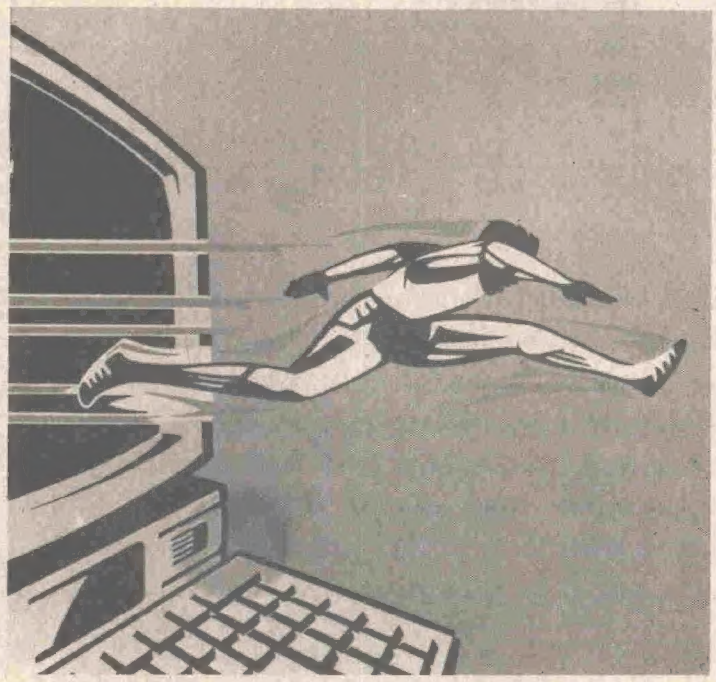
เรื่องน่าอ่าน
ประดิษฐ์ ภิญโญภาสกุล

มาตรฐานสำหรับ โลคอลบัส ความเร็วสูง



มาตรฐานที่จะมาทำลายคอขวดของคอมพิวเตอร์ที่จะมาแทนที่ไอ/โอบัส

ในการประยุกต์ใช้งานหลายอย่าง คอมพิวเตอร์ทำงานได้เร็วเพียงเท่ากับองค์ประกอบที่ช้าที่สุดของมัน แม้ว่าซีพียูจะทำงานได้เร็วเพียงใด ก็ยังคงต้องคอยการทำงานของการ์ดจอภาพและตัวควบคุมฮาร์ดดิสก์ซึ่งเสียบไว้ในสล้อต 8 บิต หรือ 16 บิต และส่งผ่านข้อมูลด้วยความเร็วเพียงเศษเสี้ยวของซีพียูอยู่ดี จริงอยู่ เราอาจจะต่ออุปกรณ์รอบข้างเข้ากับซีพียูโดยใช้โลคอลบัสซึ่งเป็นบัสที่ต่อไปยังซีพียูโดยตรงได้ แต่เนื่องจากเรายังไม่มีมาตรฐานสำหรับบัสชนิดนี้ ผู้ผลิตการ์ดจึงจำต้องผลิตการ์ดสำหรับบัสสารพัดแบบไปโดยปริยาย

การมาถึงของ 3 ทหารเสือ

บัดนี้ ภาพทัศน์ดังกล่าวนั้นได้เปลี่ยนไปแล้ว เมื่อได้มีการกำหนดมาตรฐาน 3 แบบขึ้น คือ VL-Bus ของ VESA (Video Equipment Standards Association), PCI (Peripheral Component Interconnect) ของอินเทล และ QuickRing ของแอปเปิ้ล เพื่อทำให้อุปกรณ์รอบข้าง เช่นจอภาพ และฮาร์ดดิสก์ มีสมรรถนะควรคู่กับซีพียูที่เร็วที่สุดของวันนี้

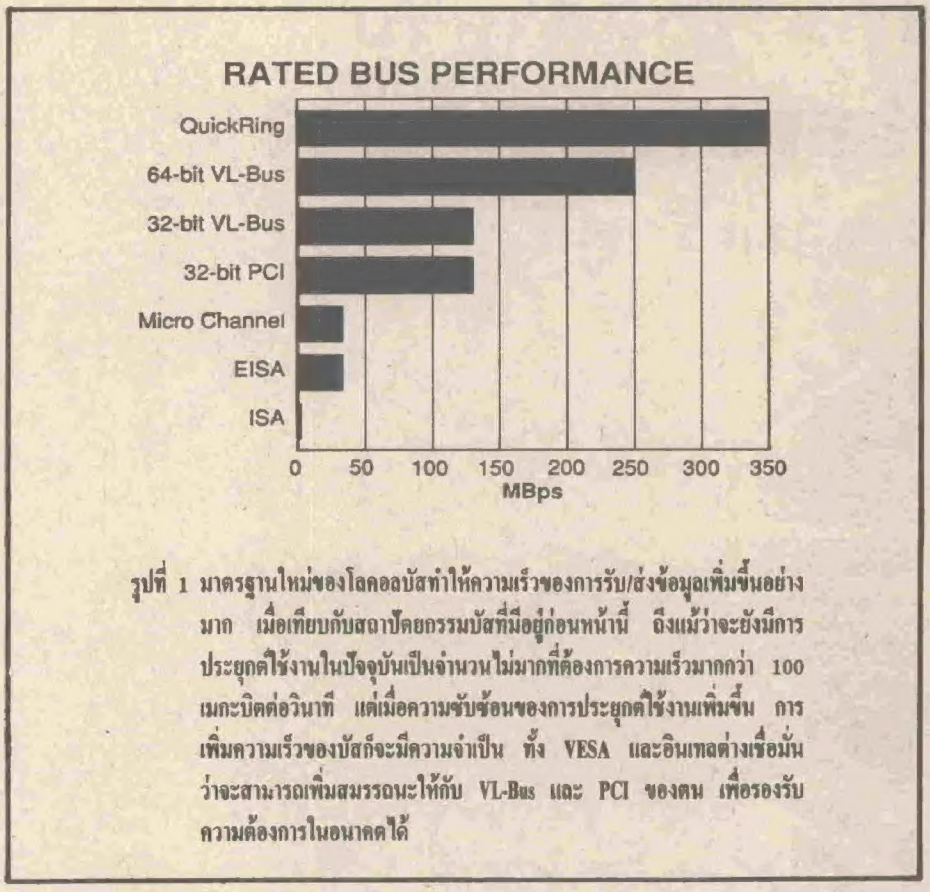
จากการทดสอบเพื่อเปรียบเทียบพบว่าการ์ดจอภาพ และตัวควบคุมฮาร์ดดิสก์แบบ VL-Bus สามารถทำงานได้เร็วเท่า ๆ กัน หรือมากกว่าแบบอื่น ๆ ซึ่งราคาแพงกว่า และผลยิ่งเป็นที่น่าพอใจเมื่อทดสอบกับซีพียู 486DX2 ที่มีความเร็วภายในซีพียูเป็น 2 เท่า ซึ่งพบว่า เมื่อเปลี่ยนจากซีพียู 486DX-33 ไปยัง 486DX2-66 สมรรถนะของฮาร์ดดิสก์แบบ VL-Bus จะเพิ่มขึ้นถึง 50 เปอร์เซ็นต์ทีเดียว

สำหรับเครื่องพีซีบนพื้นฐานของอินเทล วันนี้เรามีเครื่องพีซีที่ใช้ VL-Bus ให้ได้ใช้กันแล้ว โดยผู้ผลิตเครื่องพีซี และการ์ดหลายราย เช่น Compudyne Products และ Gateway 2000 ได้ประกาศตัวออกมารองรับมาตรฐาน VL-Bus ส่วน PCI ของอินเทลก็ได้รับการสนับสนุนจากผู้ผลิตหลายรายเช่นเดียวกัน รวมทั้งไอบีเอ็ม และ AST Research อย่างไรก็ดี เครื่องพีซีที่ใช้ PCI ยังคงมีแต่เพียงเครื่องต้นแบบเท่านั้น เราจึงยังไม่สามารถหาซื้อเครื่องพีซีที่ใช้ PCI ได้ในระยะเวลา 10 เดือนข้างหน้านี้ ถ้าจะเปรียบเทียบระหว่าง 2 มาตรฐานนี้ VL-Bus เป็นหนทางในการแก้ปัญหาในระยะสั้น สำหรับเครื่อง

ระดับต่ำ ส่วน PCI ได้รับการพัฒนามาดีกว่าและจะเป็นหนทางการแก้ปัญหาในระยะยาว สำหรับเครื่องระดับสูง

VESA นั้น หวังที่จะให้ VL-Bus และ PCI ทำงานร่วมกันได้อย่างกลมกลืน แต่อินเทลไม่เห็นด้วย โดยให้เหตุผลว่าการใช้ VL-Bus จะเสี่ยงต่อการที่ซีพียูจะต้องทำงานหนักเกินไป จึงยังคงเป็นคำถามอยู่ว่า มาตรฐานทั้งสองจะยืนหยัดอยู่ได้นานเพียงใด แต่จากความต้องการโลคอลบัสในปัจจุบันจึงเป็นที่แน่นอนว่า อย่างน้อย 1 ใน 2 มาตรฐานนี้จะยืนหยัดอยู่ได้

นอกจากนี้ ยังมีอีกมาตรฐานหนึ่งที่น่าจับตามอง ได้แก่ QuickRing ของแอปเปิล ซึ่งเป็นรูปแบบของสถาปัตยกรรมบัสของเครื่องพีซีที่ควรจะเป็นในอนาคต จากการหยิบยืมมโนทัศน์ซึ่งพัฒนาขึ้นสำหรับซูเปอร์คอมพิวเตอร์มาใช้ ทำให้ QuickRing ทำงานได้เร็วเป็น 3 เท่าของทั้ง VL-Bus และ PCI ซึ่งเป็นไปได้ว่าจะสามารถนำ QuickRing มาใช้กับเครื่องพีซีบนพื้นฐานของอินเทลได้ในอนาคต



รูปที่ 1 มาตรฐานใหม่ของโลคอลบัสทำให้ความเร็วของการรับ/ส่งข้อมูลเพิ่มขึ้นอย่างมาก เมื่อเทียบกับสถาปัตยกรรมบัสที่มีอยู่ก่อนหน้านี้ ถึงแม้ว่าจะยังมีการประยุกต์ใช้งานในปัจจุบันเป็นจำนวนไม่มากที่ต้องการความเร็วมากกว่า 100 เมกะบิตต่อวินาที แต่เมื่อความซับซ้อนของการประยุกต์ใช้งานเพิ่มขึ้น การเพิ่มความเร็วของบัสก็จะมีความจำเป็น ทั้ง VESA และอินเทลต่างเชื่อมั่นว่าจะสามารถเพิ่มสมรรถนะให้กับ VL-Bus และ PCI ของตน เพื่อรองรับความต้องการในอนาคตได้

มาตรฐาน VL-Bus

เป็นที่ทราบกันดีแล้วว่า ไม่ว่าจะเป็นบัสแบบ ISA, EISA หรือไมโครแชนแนล ได้เดินทางมาถึงทางตันที่ไม่สามารถนำมาใช้กับเครื่องพีซีความเร็วสูงบนพื้นฐานของอินเทลได้อีกต่อไป เนื่องจากข้อจำกัดในเรื่องความเร็ว จากการที่แต่ละองค์ประกอบของระบบได้ถูกพัฒนาให้มีประสิทธิภาพดีขึ้นเรื่อย ๆ บทบาทของสถาปัตยกรรมระบบซึ่งเป็นโครงร่างของการนำองค์ประกอบเหล่านั้นมารวมกันเป็นระบบ จึงมีความสำคัญยิ่งขึ้น แต่ข้อจำกัดของสถาปัตยกรรมระบบที่ยังไม่ได้รับการพัฒนาอยู่ที่ไอ/โอบัสเท่านั้น ดังแสดงในรูปที่ 1 ทำให้การพัฒนาสมรรถนะของซีพียูยากขึ้นเป็นลำดับ ในขณะที่การประยุกต์ใช้งานและอุปกรณ์รอบข้างต่าง ๆ ต้องการสมรรถนะที่เพิ่มขึ้น ไมเคิล สเลเตอร์ บรรณาธิการของ Microprocessor Report ซึ่งเป็นจดหมายข่าวเชิงอุตสาหกรรมเกี่ยวกับไมโครโปรเซสเซอร์ฮาร์ดแวร์ ที่มีสำนักงานตั้งอยู่ที่เมืองเซแบสโทพอล ในมลรัฐแคลิฟอร์เนีย ได้กล่าวเกี่ยวกับเรื่องนี้ไว้ว่า *"สถาปัตยกรรมของเครื่องพีซีในปี 2524 ไม่สามารถนำมาใช้ในปี 2535 ได้อีกต่อไป"*

VESA ซึ่งเป็นสมาคมที่มีสมาชิกมากกว่า 120 บริษัท ได้พัฒนา VL-Bus ขึ้นมาเป็นเสมือนหนทางแก้ปัญหาแบบปัจจุบันทันด่วน สำหรับข้อจำกัดของบัสสำหรับอุปกรณ์รอบข้าง ดังตารางที่ 1 โดยสามารถทำงานในความเร็วที่ทัดเทียมกับซีพียู 386SX, 386DX, 486 หรือแม้กระทั่ง P5 ที่กำลังจะมาถึงของอินเทลได้ อีกทั้งยังสามารถใช้กับโปรเซสเซอร์อื่น ๆ ได้อีกด้วย ดังคำกล่าวอ้างของ VESA ที่ว่า มีบริษัทหนึ่งได้ออกแบบนำการเชื่อมประสานแบบ VL-Bus ไปใช้กับโปรเซสเซอร์ Mips R4000 RISC เพื่อให้สามารถนำการ์ดวีจีเอ และการ์ดจอภาพที่ราคาถูกกว่าอื่น ๆ ซึ่งออกแบบไว้สำหรับเครื่องพีซีบนพื้นฐานของอินเทลมาใช้งานได้

VESA ได้กำหนดวิธีการสร้างสัญญาณสำหรับโลคอลบัสของตนเองไว้

ตารางที่ 1

รายชื่อบริษัทที่มีผลิตภัณฑ์ VL-Bus ออกวางตลาดแล้ว	
ระบบ/แผงวงจรหลัก	**ตัวปรับต่อ/ตัวควบคุมกราฟิก**
Advanced Integration Research, Inc.	Actix Systems, Inc.
Alpha Reserach Corp.	Advanced Integration Research, Inc.
CMS Enhancements, Inc.	ATI Technologies, Inc.
CompuAdd Corp.	Diamond Computer Systems, Inc.
Compudyne Products, Inc.	Genoa Systems Corp.
DFI, Inc.	Matrox Electronic Systems, Ltd.
Diamond Computer Systems, Inc.	Nexgen
Digital Air Systems	RasterOps Corp.
Elonex plc.	Sigma Designs, Inc.
Everex Systems, Inc.	SBT Systems, Inc.
Genoa Systems Corp.	
Hyundai Electronics America, Inc.	**ตัวปรับต่อ/ตัวควบคุมฮาร์ดดิสก์**
Micronics Computers, Inc.	Alpha Research Corp.
Nexgen	Data Technology Corp.
Northgate Computer Systems, Inc.	Nexgen
Oakleigh Systems, Inc.	Point Corp.
Point Corp.	UltraStor Corp.

เพื่อให้ผู้ผลิตสามารถสร้างชิพที่สามารถนำไปใช้งานบน VL-Bus ในคอมพิวเตอร์เครื่องใดก็ได้มารองรับได้ นอกจากนี้ VESA ยังได้วางแผนที่จะรับรองความเข้ากันได้ระหว่างแผงหลัก กับอุปกรณ์รอบข้างที่ใช้ VL-Bus ด้วย

VL-Bus ไม่ใช่เป็นเพียงมาตรฐานของการเชื่อมประสานสำหรับชิพบนโลคอลบัสบนแผงหลักเท่านั้น แต่ยังได้กำหนดมโนทัศน์ของสล้อตที่ทำให้แผงขยายสามารถใช้งานทั้ง VL-Bus ความเร็วสูง และบัสแบบ ISA, EISA หรือไมโครแชนเนล ที่ความเร็วต่ำกว่าไปพร้อม ๆ กันได้ ในความเป็นจริงแล้วเป็นไปได้ที่จะสร้างการ์ดที่เสียบลงในสล้อต ของ VL-Bus และใช้สัญญาณจากไอ/โอบัสที่ช้ากว่า ยกตัวอย่างเช่น แม้ว่า VL-Bus จะใช้สัญญาณความเร็วสูง อีกทั้งไม่ได้จัดเตรียมการประสานจังหวะระหว่างอินเตอร์รัพต์ กับช่องสัญญาณดีเอ็มเอที่จำเป็นสำหรับตัวควบคุมดิสก์ไดรฟ์เอาไว้ให้ แต่เราสามารถออกแบบแผงวงจรที่ใช้ได้กับสล้อตทั้งแบบ ISA และ VL-Bus ได้ เพื่อให้ใช้สัญญาณตามที่ต้องการได้ทั้งหมด

การใช้งาน VL-Bus ไม่ได้จำกัดอยู่แต่เพียงกับการ์ดจอภาพ หรือตัวควบคุมดิสก์ไดรฟ์เท่านั้น แผ่นวงจรเพิ่มเติมอื่น ๆ ที่ต้องการความเร็วที่สูงขึ้น ก็สามารถใช้ VL-Bus ในการเข้าถึงซีพียูโดยตรงได้ แต่ทั้ง VESA และผู้ผลิตได้ชี้ให้เห็นว่า VL-Bus ไม่จำเป็นจะต้องเป็นวิธีแก้ปัญหาเรื่องสมรรถนะเสมอไป เช่น การใช้การ์ดเร่งความเร็วจอภาพแบบ ISA จะเพิ่มสมรรถนะให้กับระบบได้มากกว่าการเปลี่ยนมาใช้การ์ดวีจีเอแบบ VL-Bus และอย่างไรก็ดี มันไม่เป็นการคุ้มค่าที่จะยกระดับระบบที่มีอยู่ ในเมื่อยังมีวิธีการเพิ่มสมรรถนะของการแสดงผลแบบอื่น ๆ ที่ง่ายกว่า เกี่ยวกับเรื่องนี้ เฮนรี่ ควน ผู้อำนวยการบริษัท ATI Technologies ซึ่งเป็นผู้ผลิตการ์ดจอภาพกราฟิกที่มีสำนักงานตั้งอยู่ที่เมืองสคาร์เบอโรห์ ในมลรัฐออนตาริโอ ประเทศแคนาดา ได้ให้ความเห็นว่า *"โลคอลบัสช่วยเพิ่มประสิทธิภาพให้กับระบบโดยรวมก็จริง แต่นั่นก็ไม่ใช่ที่สุด"*

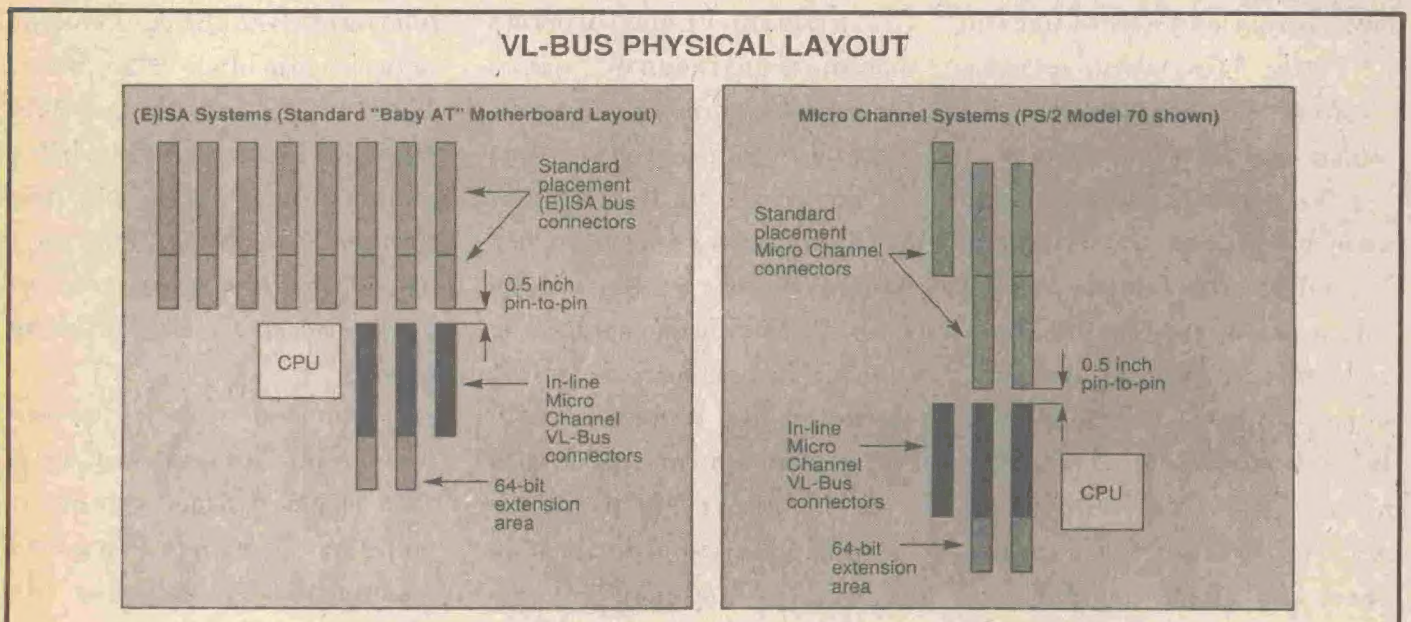
มันเป็นสิ่งที่น่าตื่นเต้นทีเดียว ที่เราสามารถเพิ่มสมรรถนะได้โดยเสียค่าใช้จ่ายของทั้งระบบเพิ่มขึ้นเพียงเล็กน้อย แดน ดีคีนิส ผู้อำนวยการบริษัท Oakleigh Systems ซึ่งเป็นบริษัทสาขาทางด้านการวิจัยและพัฒนาของ Elonex ซึ่งเป็นบริษัทผู้ผลิตของอังกฤษ ตั้งอยู่ที่เมืองซานตาคลารา มลรัฐแคลิฟอร์เนีย ได้กล่าวว่า เนื่องจาก VL-Bus (หรือ PCI) ไม่ต้องใช้สิ่งที่เรียกว่าชิพกาว (glue chips) จึงทำให้การ์ดเพิ่มเติมที่ต้องเสียค่าใช้จ่าย 1,000 เหรียญในการผลิตตามแบบ EISA ลดค่าใช้จ่ายลงเหลือเพียง 500 เหรียญเมื่อผลิตตามแบบ VL-Bus เขากล่าวว่า *"การมาถึงของ VL-Bus และ PCI เท่ากับเป็นการจากไปของ EISA"* อีกทั้งยังเสริมว่าการจากไปของ EISA คงต้องใช้เวลาหลายปีทีเดียว VL-Bus ยังใช้ตัวเชื่อมต่อราคาถูกของบัสแบบไมโครแชนเนล ขนาด 16 บิตด้วย โธมัส ไรอัน ผู้อำนวยการบริหารของ VESA กล่าวว่า *"VL-Bus เร็วเท่าที่คุณจะสามารถหาได้ และง่ายที่สุดเท่าที่เราจะทำได้ในตอนนี้เช่นกัน"*

ดีน เฮยส์ ผู้จัดการฝ่ายเทคนิคการตลาดของบริษัทผู้ผลิตชิพ Chips & Technologies ซึ่งตั้งอยู่ที่ซานตาคลาราเช่นกัน กล่าวว่า ความตั้งใจเริ่มแรกของคุณลักษณะของ VL-Bus ก็คือ เพื่อทำให้เราสามารถออกแบบแผงวงจรด้วยชุดชิพที่มีอยู่ โดยใช้ตรรกกาว (glue logic) เพียงเล็กน้อย เขายังกล่าวด้วยว่า เมื่อข้อกำหนดของ VL-Bus ลงตัว บริษัท C&T ของเขาจะสามารถรวมเอาตรรกะพิเศษที่เพิ่มขึ้นของ VL-Bus เข้าไว้ในชิพหลักได้

การออกแบบ และการสร้างการ์ดสำหรับ VL-Bus ยังคงเป็นความท้าทาย เนื่องจากแผงวงจรแบบ VL-Bus จะต้องได้รับการออกแบบอย่างระมัดระวัง โดยให้มีระยะทางระหว่างตัวเชื่อมต่อกับวงจรสั้นที่สุด และมีบัฟเฟอร์ส่วนขยายเพื่อลดภาระของซีพียู ระยะทางจากตัวเชื่อมต่อดังกล่าว จะต้องยาวไม่เกิน 2 นิ้ว และมีจำนวนขาสัญญาณเข้าของชิพที่ต่อมายังทางเดินสัญญาณนี้ได้ไม่เกิน 1 ขา ควน กล่าวว่า VL-Bus ช่วยให้งานของเขาง่ายขึ้น เนื่องจากบริษัท ATI ไม่จำเป็นต้องสร้างแบบเล็กแบบน้อยสำหรับการใช้งานโลคอลบัสทุกแบบอีกต่อไป แต่อย่างไรก็ตาม เขากล่าวเสริมว่า *"แต่ถ้าคุณกำลังจะถามว่า มันเป็นการง่ายกว่าที่จะสร้างอุปกรณ์รอบข้างที่ทำงานที่ความเร็ว 33 เมกะเฮิรตซ์ เมื่อเทียบกับที่ 8 เมกะเฮิรตซ์กระนั้นหรือ? คำตอบก็คือ ไม่ใช่อย่างสิ้นเชิง"* เพราะที่ความเร็วที่สูงขึ้น วิศวกรจะต้องให้ความเอาใจใส่ต่อความคงทนและคุณลักษณะของชิพอย่างใกล้ชิดยิ่งขึ้น

ในการออกแบบ ผู้ออกแบบจะถูกจำกัดจำนวนสล้อตแบบ VL-Bus บนแผงวงจรหลัก ไม่ให้มีเกิน 3 ช่อง แม้ว่าขาของซีพียูสามารถขับสัญญาณเลขที่อยู่, ข้อมูล และสัญญาณควบคุมได้อย่างต่อเนื่อง แต่ภายใต้เงื่อนไขนี้ทำให้ซีพียูไม่สามารถขับโหลดภายนอกเกินกว่า 3 โหลดได้ แม้ว่ามันจะทำงานที่สัญญาณนาฬิกาความถี่ต่ำมากก็ตาม นอกจากนี้ แม้ว่าจะมีจำนวนสล้อตที่เข้ากันได้กับ VL-Bus ได้ 3 ช่องในพีซีแต่ละเครื่อง แต่ก็มีได้เพียง 1 หรือ 2 สล้อตเท่านั้นที่ทำงานที่ความถี่สูงกว่า 33 เมกะเฮิรตซ์ได้ สล้อตเหล่านี้อาจต่อไปยังซีพียูโดยตรง หรืออาจถูกพักข้อมูลไว้ในบัฟเฟอร์ก่อน เพื่อลดโหลดของซีพียู โดยการผลักภาระของการขับสัญญาณไปให้กับบัฟเฟอร์แทนที่จะเป็นขาของซีพียู ส่วนความถี่ของซีพียู (และของ VL-Bus) อาจจะต่ำกว่า 33 เมกะ-เฮิรตซ์ หรือสูงกว่า 55 เมกะเฮิรตซ์ก็ได้

VL-Bus ยอมให้มีตัวควบคุมโลคอลบัสได้ไม่เกิน 3 ตัว ตัวควบคุม VL-Bus สามารถควบคุมบัสระบบและรับ/ส่งข้อมูลกับหน่วยความจำหลักหรือแผงวงจรอื่น ๆ ในไอ/โอบัสหลัก ยกตัวอย่างเช่น ตัวควบคุม VL-Bus ตัวหนึ่งอาจเป็นตัวควบคุมฮาร์ดดิสค์



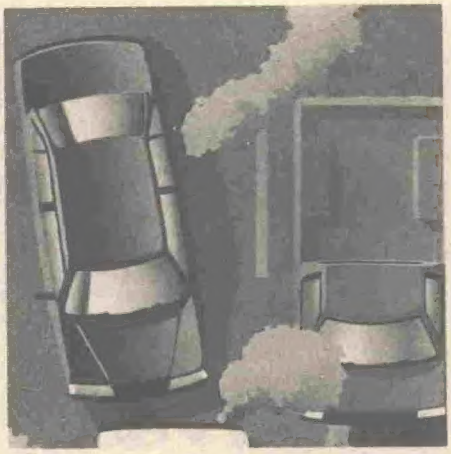
รูปที่ 2 VL-Bus เป็นโลคอลบัสที่จะมาเติมเต็มความสามารถของไอ/โอบัสในปัจจุบัน โดยการใส่ตัวเชื่อมต่อ VL-Bus เรียงกันเป็นแถวบนไอ/โอซ็อกเก็ตที่มีอยู่แล้ว ตัวเชื่อมต่อ VL-Bus (แบบใหม่) จะรับสัญญาณข้อมูล 32 บิตจากซีพียู, สัญญาณเลขที่อยู่ขนาด 32 บิต และสัญญาณควบคุมของซีพียูได้ทั้งหมด โดยมีเส้นสัญญาณที่เพิ่มขึ้นสำหรับ สัญญาณชี้ขาดการรวมแถว (multimaster arbitration), สัญญาณควบคุมการถ่ายโอนเป็นชุดอย่างรวดเร็ว และตรรกะถือท้าย (steering logic) ช่วงกว้างแถบสัญญาณข้อมูล VL-Bus สามารถขยายให้เป็น 64 บิต เพื่อให้เข้ากับซีพียูในยุคถัดไปได้

หรืออาจเป็นไปได้ที่จะควบคุมซีพียูอีกตัวหนึ่ง หากเกิดการปะทะกัน เช่น มีการ์ดวีจีเอแผงหนึ่งอยู่ในสล้อตแบบ VL-Bus ในขณะที่อีกแผงหนึ่งถูกเสียบไว้ในบัสแบบ ISA บนซีพียูเครื่องเดียวกัน จะทำให้จอภาพวีจีเอบน VL-Bus ทำงานได้อย่างถูกต้อง แต่จอภาพวีจีเอบนบัสแบบ ISA จะไม่สามารถทำงานได้ดังรูปที่ 2

ข้อกำหนดที่อ่อนตัว

แต่ละระบบ VL-Bus จะมีความแตกต่างกัน เนื่องจากรายละเอียดในการนำไปใช้งานบนแผงวงจรหลักถูกปล่อยให้เป็นหน้าที่ของผู้ออกแบบเครื่องพีซี ประโยชน์ของข้อกำหนดที่อ่อนตัวเช่นนี้ ก็เพื่อกระตุ้นให้เกิดการสร้างสรรค์โดยผู้ออกแบบทั้งการ์ดเพิ่มเติม และแผงวงจรหลัก เพื่อให้ได้รับความเร็วสูงสุดในเครื่องพีซีขึ้น ข้อกำหนดที่ตั้งเอาไว้เป็นเค้าโครงที่จำเป็นเพื่อป้องกันผู้ซื้อคอมพิวเตอร์จากความเสี่ยงในการที่จะได้รับความเข้ากันได้แบบเลว ๆ เท่านั้น

อย่างไรก็ตาม สิ่งที่ผู้ผลิตจะต้องทำให้แน่ใจก็คือ ไม่ว่าจะมีสล้อตจำนวนเท่าใดก็ตาม ทุกสล้อตจะต้องทำงานได้อย่างถูกต้องเมื่อมีการ์ดแบบที่เข้ากันได้กับ VL-Bus มาเสียบอยู่ สก็อตต์ ฟวูรี ผู้พัฒนาจอภาพกราฟิกของบริษัท Binar Graphics ซึ่งตั้งอยู่ที่เมืองซานโจส มลรัฐแคลิฟอร์เนีย อันเป็นผู้ผลิตแผงวงจรหลัก และการ์ดจอภาพกราฟิก ได้ประมาณว่า ผู้ผลิตจะต้องใช้เวลาประมาณ 6 เดือนในการศึกษาข้อกำหนดจนเข้าใจดีพอ เพื่อให้แน่ใจในความเข้ากันได้ วิธีการแก้ปัญหาของบริษัท Genoa ของเขาก็คือ การขายแผงวงจรหลักและการ์ดจอภาพกราฟิกแบบ VL-Bus เป็นชุดเดียวกันให้กับผู้ขายระบบ เขากล่าวว่า *"เพราะผู้ขายไม่ต้องการปวดหัวในการเลือกว่าจะใช้การ์ดใดกับแผงวงจรหลักแผงหนึ่ง ๆ ดี"*



ไม่เป็นที่น่าแปลกใจเลยที่ PCI และ VL-Bus จะคล้ายคลึงกันมาก เนื่องจากทั้งคู่ถูกพัฒนาขึ้นบนพื้นฐานของสัญญาณควบคุม 80X86 เหมือนกัน รอน แมคเคบ ประธานกรรมการโลคอลบัสของ VESA เคยกล่าวไว้ว่า VESA จะออกหนังสือเกี่ยวกับการทำให้อุปกรณ์แบบ PCI ทำงานบน VL-Bus ได้ทันทีที่บัสแบบ PCI ออกมาสู่ตลาด อย่างไรก็ดี อินเทลยังไม่ได้ประกาศว่าจะเผยแพร่รายละเอียดของ PCI ออกมาเมื่อใด อินเทลนั้นตกลงที่จะทำให้มาตรฐานทั้งสองสามารถใช้งานร่วมกันได้ แต่ก็ไม่เห็นเหตุผลว่า จะมีผู้ใช้คนไหนต้องการให้เป็นเช่นนั้นด้วยเหตุผลใด

การพัฒนาที่ไม่หยุดยั้ง

VESA ได้กำหนดบัสข้อมูลขนาด 64 บิตแบบ VL-Bus เอาไว้แล้ว โดยมีความเร็วในทางทฤษฎีที่ 250 เมกะบิตต่อวินาที เพื่อเตรียมเอาไว้รองรับไมโครโปรเซสเซอร์รุ่นใหม่ของอินเทลที่จะเกิดขึ้น ซึ่งเป็นที่เล่าลือกันอย่างแพร่หลายว่าจะมีบัสข้อมูลขนาด 64 บิต โดยออกแบบให้ใช้งานกับตัวต่อเชื่อมแบบไมโครแชนเนล เพื่อเพิ่มอีก 32 บิต ให้กับบัสข้อมูล

แต่สมรรถนะที่จะได้รับเพิ่มขึ้นก็ยังไม่สามารถทดแทนข้อบกพร่องของ VL-Bus ที่หลาย ๆ คนเห็นไม่ได้ เนื่องจากมันยังขึ้นอยู่กับแบบของระบบเครื่องพีซีอันล้าสมัยที่ใช้กันมา 11 ปีแล้ว แต่ VL-Bus ก็มีความสำคัญต่อประวัติศาสตร์เครื่องพีซีไม่น้อย เนื่องจากสามารถแก้ไขปัญหาเรื่องช่วงกว้างแถบความถี่ได้ แต่กับ PCI นั้น อินเทลได้มองปัญหาในระยะไกลกว่า

มาตรฐาน PCI

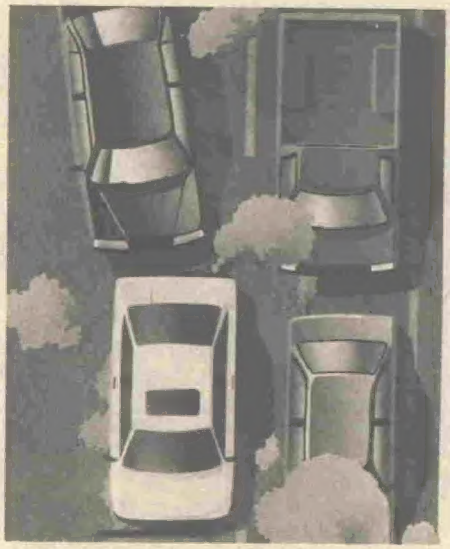
สถาปัตยกรรม PCI ของอินเทล เกิดจากการยอมรับความจริงที่ว่า แบบของมาตรฐานเครื่องพีซีที่ใช้กันอยู่ในปัจจุบันนั้นหมดหนทางที่จะผลักดันต่อไปได้อีกแล้ว มาตรฐานอันเป็นการเชื่อมต่อระหว่างยุคนี้ ตั้งใจที่จะใส่อุปกรณ์รอบข้างความเร็วสูงให้กับแผงวงจรหลัก สเลเตอร์กล่าวว่า *"PCI เป็นรากฐานระหว่างกลางสำหรับเครื่อง PC ในยุคถัดไป"*

ตามคำกล่าวของ ไมค์ เบลีย์ ผู้จัดการฝ่ายการตลาด PCI อินเทล ไม่สนับสนุนให้ทำการวางการ์ดลงบนซีพียูบัสโดยตรง เนื่องจากสัญญาณออกของ 80X86 ไม่ได้ออกแบบไว้สำหรับขับโหลดมาก ๆ ดังเช่นในกรณีของการ์ดบนบัส แต่ข้อกำหนดของ VL-Bus ก็ได้ออกแบบไว้อย่างรอบคอบเพียงพอที่จะไม่ทำให้เกิดความเสียหายขึ้นได้ จุดนี้เองที่เป็นข้อโต้แย้งที่กำลังขยายวงกว้างออกไปอย่างกว้างขวาง

มาตรฐาน PCI ได้กำหนดวิธีการเชื่อมต่อที่ไม่อนุญาตให้ผู้ใช้ หรือผู้ผลิตอุปกรณ์รอบข้างที่มีทุนน้อยสามารถเปลี่ยนแปลงได้เอง แม้ว่าใคร ๆ ก็สามารถจะออกแบบแผงวงจรสำหรับเสียบเข้ากับตัวเชื่อมต่อ VL-Bus ได้ แต่การออกแบบไอซีสำหรับขับบัสแบบ PCI จะต้องใช้เครื่องไม้เครื่องมือที่ต้องใช้เงินลงทุนมากกว่า 1 แสนเหรียญ (ประมาณ 2.5 ล้านบาท) ทำให้ผู้ผลิตแผงวงจรเพิ่มเติม และผู้ผลิตเครื่องระดับต่ำเป็นจำนวนมากให้การสนับสนุน VL-Bus ในขณะที่บริษัทใหญ่ และมีชื่อเสียงจะเชื่อถือ และให้การสนับสนุน PCI

เชน แห่งบริษัท Genoa คาดว่าผู้ผลิตจำนวนมากจะใช้ VL-Bus *"ตราบเท่าที่พวกเขายังมีสามัญสำนึก"* เพราะ VL-Bus ช่วยเพิ่มคุณค่าให้กับระบบและยังคงรักษากำไรหน่วยสุดท้ายให้กับพวกเขาไว้ได้ เขากล่าวว่า ด้วยค่าใช้จ่ายของแผงวงจรหลักที่เพิ่มขึ้นเพียง 10 ถึง 20 เหรียญ การเปลี่ยนมาใช้ VL-Bus จะเพิ่มสมรรถนะให้กับระบบมากเพียงพอที่พวกเขาจะยังคงรักษากำไรหน่วยสุดท้ายไปพร้อม ๆ กับการแข่งขันทางด้านสมรรถนะของผลิตภัณฑ์ได้

ตามคำกล่าวของ คีคินิส Elonex ได้วางแผนที่จะนำ PCI มาใช้ในเครื่องพีซีระดับสูง และใช้ VL-Bus ในเครื่องระดับต่ำ โดยจะนำระบบที่ใช้ VL-Bus ออกวางตลาดก่อน ซึ่งบางทีอาจจะเป็นภายในสองเดือนข้างหน้านี้ เขามีความเห็นว่าเครื่องบนพื้นฐาน PCI กว่าจะนำออกสู่ตลาดได้คงต้องใช้เวลาอีกประมาณ 10 เดือน แม้ว่าจะมีบางบริษัทที่อาจแสดงระบบ PCI ต้นแบบที่



Comdex ก่อน ในเดือนพฤศจิกายนที่ผ่านมาก็ตาม

ด้วยความพยายามเพื่อให้มาตรฐาน PCI ได้รับการยอมรับ อินเทลได้เชิญผู้ผลิตระบบและแผงวงจรอุปกรณ์รอบข้างเข้ามาร่วมในกลุ่มผู้ชื่นชอบ PCI เป็นพิเศษ ที่เรียกว่า (SIG special interest group) หน้าที่ของ SIG คือการออกมาตรฐานสล้อต PCI ซึ่งช่วยบรรเทาความหวาดกลัวของผู้ผลิตแผงวงจรที่มอง PCI เป็นการคุกคามต่ออนาคตของพวกเขาลงได้ รวมทั้งผู้ผลิตที่ไม่มีเครื่องไม้เครื่องมือเพียงพอที่จะรวมเอา PCI เข้าไปไว้บนแผงวงจรหลักได้ด้วย

สเลเตอร์ กล่าวว่า *"SIG ช่วยพาอินเทลออกจากจุดวิกฤตของการโต้แย้ง"* เนื่องจากการเปิดโอกาสให้กลุ่มผู้ผลิตเข้ามามีส่วนร่วมในการกำหนดมาตรฐานด้วย อย่างไรก็ตาม เขาเชื่อว่า การไม่กำหนดมาตรฐานของตัวเชื่อมต่อ PCI ออกมาทันทีเป็น *"ความผิดพลาดครั้งยิ่งใหญ่"* ของอินเทล เพราะเท่ากับเป็นการเปิดโอกาสให้ VL-Bus สามารถตั้งตัวได้

ว่ากันด้วยเรื่องของความเร็ว

ความถี่สูงสุดในการทำงานของ PCI คือ 33 เมกะเฮิรตซ์ จากการที่ PCI เป็นบัสแบบประสานจังหวะ (synchronous bus) เนื่องจากการทำงานบนบัสจะถูกกระทำโดยมีการประสานจังหวะกับสัญญาณนาฬิกาของซีพียู จึงไม่เป็นที่ชัดเจนว่า อุปกรณ์รอบข้างแบบ PCI จะนำไปใช้กับซีพียูความเร็ว 50 เมกะเฮิรตซ์ได้อย่างไร เกี่ยวกับข้อสงสัยนี้ เดวิด คาร์สัน หนึ่งในผู้ออกแบบสถาปัตยกรรม PCI ได้อธิบายว่า อินเทลได้วางแผนที่จะจัดการกับความแตกต่างในเรื่องความเร็ว ด้วยการใช้ วงวนจำกัดเฟส (phase-lock loops) ซึ่งเป็นวงจรที่ใช้ประสานจังหวะสัญญาณนาฬิกาต่างความถี่เข้าด้วยกันได้

แม้ว่า วงวนจำกัดเฟส อาจใช้ประสานจังหวะบัส PCI ความถี่ 33 เมกะเฮิรตซ์กับตัวกำเนิดสัญญาณนาฬิกาความถี่ 50 เมกะเฮิรตซ์ของซีพียู แต่ก็ไม่สามารถจะหลีกเลี่ยงสถานะรอคอยได้ เหตุการณ์ดังกล่าวจะเกิดขึ้นเมื่ออุปกรณ์ PCI ความถี่ 33 เมกะเฮิรตซ์รับข้อมูลจากซีพียูความถี่ 50 เมกะเฮิรตซ์ ซึ่งเร็วกว่า จึงยังไม่เป็นที่ชัดเจนว่าจะมีผลกระทบต่อสมรรถนะของระบบอย่างไร และเพียงใด แต่สำหรับชิพซีพียู 486DX2 ความถี่ 66 เมกะเฮิรตซ์ จะทำงานเข้ากับ PCI ได้อย่างน่าพอใจทีเดียว เนื่องจากบัสภายนอกจะทำงานที่ความถี่ครึ่งหนึ่งของชิพซีพียูพอดี แล้วถ้าเป็นซีพียู 486DX2 ความถี่ 100 เมกะเฮิรตซ์ กับอุปกรณ์รอบข้างแบบ PCI ล่ะ จะเป็นอย่างไร?

แต่ความผิดสภาพนี้ก็ไม่ธรรมดา เพราะในอีกนัยหนึ่ง PCI กลับเป็น

โลคอลบัสที่มีคุณลักษณะทนทาน อินเทลใช้เวลากว่า 2,000 ชั่วโมงในการจำลองบัสแบบ PCI โดยใช้ SPICE (Simulator Program for Integrated Circuit Emulation) คาร์สัน ยืนยันว่า จากผลการทดลอง แบบที่ดีที่สุดได้ถูกเลือกออกมาใช้ *"เมื่อเราเสร็จสิ้นการจำลอง ผมเชื่อมั่นว่า PCI จะมีคุณลักษณะที่แข็งแรงทนทาน"* เขายังเสริมว่า PCI จะรองรับความเร็วในการเชื่อมประสานกับอุปกรณ์รอบข้างทั้งของไมโครโปรเซสเซอร์ในวันนี้ และที่กำลังจะมาถึงในอีกไม่กี่ปีข้างหน้านี้ได้

โดยแบบอย่างที่หยิบยืมเอามาจาก EISA และไมโครแชนเนล ชิพ PCI ก็มีหมายเลขเฉพาะตัวเช่นเดียวกัน ไบออสของระบบจะทำการซักถามหมายเลขดังกล่าวจากอุปกรณ์รอบข้างแบบ PCI เมื่อเปิดเครื่อง เพื่อดูว่าอุปกรณ์ PCI ที่ต่ออยู่เป็นอะไร แล้วจึงค่อยทำคำสั่งที่จะสามารถใช้งานตามลักษณะเฉพาะของแต่ละอุปกรณ์ต่อไป

ชิพ PCI มีขาจำนวน 32 ขา สำหรับรับ/ส่งทั้งสัญญาณเลขที่อยู่ และข้อมูลกับอุปกรณ์รอบข้าง ส่วน VL-Bus จะมีขาจำนวน 64 หรือ 32 ขา สำหรับข้อมูล และอีก 32 ขาสำหรับเลขที่อยู่ จากการที่ค่าใช้จ่ายในการผลิตชิพจะเพิ่มขึ้นตามจำนวนขาสัญญาณที่เพิ่มขึ้น ผู้ผลิตที่ปกติจะรวมเอาตัวควบคุมจอภาพ และตัวควบคุมดิสก์ไดรฟ์เข้าไว้บนแผงวงจรหลักส่วนใหญ่ จึงค่อนข้างที่จะชอบ PCI มากกว่า VL-Bus

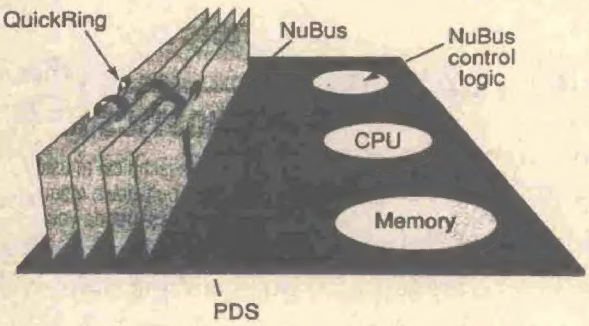
มาตรฐาน QuickRing การเปลี่ยนแปลงครั้งยิ่งใหญ่

การพัฒนาโลคอลบัส ไม่ได้จำกัดวงอยู่เฉพาะแต่เครื่องพีซีที่ใช้ซีพียูที่เข้ากันได้กับของอินเทลเท่านั้น แอปเปิ้ลก็ได้จัดเตรียมสล้อตสำหรับติดต่อกับซีพียูโดยตรง (Processor Direct Slot หรือคำย่อว่า PDS) ไว้ในเครื่องคอมพิวเตอร์ชุด แมคทู ของตนด้วย PDS ทำให้สามารถเสียบการ์ดเข้าไปติดต่อกับขาสัญญาณของซีพียู 680X0 ได้โดยตรง และสามารถทำการรับ/ส่งข้อมูลกับซีพียูที่ความเร็วสูงได้

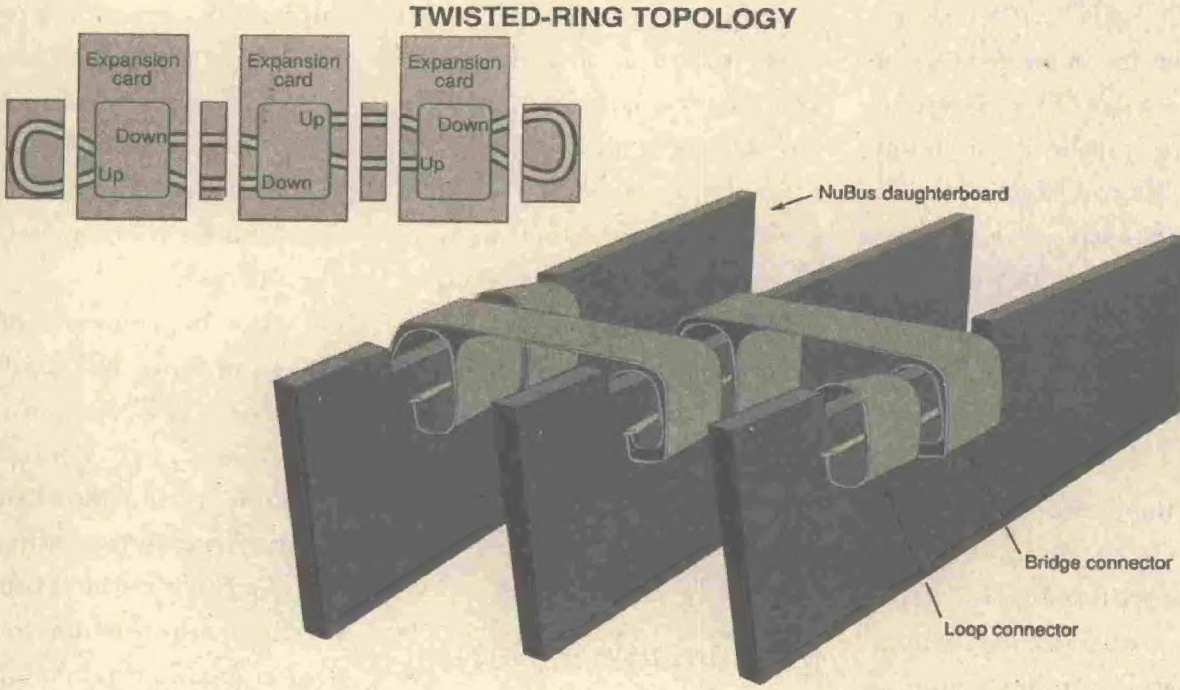
ปัญหาใหญ่ที่เกิดขึ้นกับ PDI และเป็นเหตุผลสำคัญที่ทำให้มีการ์ดมารองรับน้อยก็คือ การที่มันขึ้นอยู่กับรุ่นของเครื่อง แมคแต่ละรุ่น ดูเหมือนว่าจะมีตัวเชื่อมต่อ PDS ที่แตกต่างกัน แบบหนึ่งสำหรับขาสัญญาณของซีพียู 68020, แบบหนึ่งสำหรับ 68030 และแบบล่าสุดสำหรับ 68040 เพื่อเป็นการแก้ปัญหาดังกล่าว และเพื่อสร้างโลคอลบัสความเร็วสูง แอปเปิ้ลจึงได้พัฒนา QuickRing ซึ่งเป็นโลคอลบัสที่ออกแบบเพื่อจับคู่ PDS เข้ากับการ์ดขยายแต่ละแผงในไอ/โอบัส (หรือที่เรียกในเครื่องแมคว่า NuBus) ดังในรูปที่ 3

แต่จากการที่ QuickRing เป็นการเปลี่ยนแปลงก้าวสำคัญทางด้านเทคนิค และมีความเร็วที่สูงถึง 350 เมกะบิตต่อวินาที หรือคิดเป็น 3 เท่าของความเร็วของทั้ง VL-Bus และ PCI จึงเป็นที่เชื่อว่า วันหนึ่งข้างหน้าจะสามารถนำเข้ามาใช้ในเครื่องพีซีบนพื้นฐานของอินเทลได้ดีไม่แพ้กัน ในขณะนี้ QuickRing เป็นวิธีการเดียวที่จะส่งผ่านข้อมูลระหว่างการ์ดที่ความเร็วขนาดนี้ หากการ์ดชุดหนึ่งอยู่ในเครื่องแมค ในขณะที่อีกชุดหนึ่งอยู่ในเครื่องพีซีแบบอินเทล QuickRing จะกลายเป็นเสมือนกับแลนความเร็วสูงที่เชื่อมโยงคอมพิวเตอร์ทั้ง 2 เครื่องเข้าด้วยกัน และทำให้ผู้พัฒนาสามารถใช้คุณสมบัติ

THE QUICKRING LOCAL BUS



รูปที่ 3 QuickRing เป็นโลคอลบัสที่เชื่อมโยง PDS ของเครื่องแมค ไปยังแผงวงจรใน NuBus สถาปัตยกรรม QuickRing มีความคล้ายคลึงกับของ VL-Bus จากการที่บัสความเร็วสูงจาก PDS จะต่อเข้ากับสายสัญญาณของซีพียูโดยตรง โดยไม่ผ่านตรรกะควบคุม NuBus ซึ่งช้ากว่า และอุปกรณ์รอบข้างก็เหมือนกับของ VL-Bus โดยการ์ด QuickRing สามารถเข้าถึงได้ทั้ง NuBus และโลคอลบัสของ QuickRing ซึ่งมีความเร็วสูงกว่า



รูปที่ 4 โดยวิธีการเชื่อมต่อแบบวงแหวนบิด ข้อมูลจะถูกส่งผ่านเพียงไม่เกินตัวเชื่อมต่อ 2 ตัว และการ์ด 1 แผง เท่านั้น ก่อนจะไปถึงปลายทาง วงจร QuickRing จะใช้เนื้อที่เพียง 4 ตารางนิ้วบนแผงวงจร ซึ่งรวมเนื้อที่ที่ใช้โดยชิพตัวเชื่อมประสานของ National Semiconductor ด้วยแล้ว

ที่ดีที่สุดของแต่ละเครื่องได้พร้อม ๆ กัน

จิม พอดเดอร์ ผู้อำนวยการฝ่ายวิศวกรรม ของบริษัท Yac Systems ซึ่งเป็นบริษัทผู้ผลิตตัวประมวลผลกราฟิกร่วมแบบริกส์ (แบบลดทอนคำสั่ง) ได้คาดการณ์ว่า QuickRing จะปฏิวัติการจัดพิมพ์แบบตั้งโต๊ะไปโดยสิ้นเชิง เขากล่าวว่า *"ผมจะสามารถมองเห็นเป็นระบบเดียว ที่มี PostScript RIP รันอยู่บนเครื่องพีซี 486 ในขณะที่การเรียงพิมพ์และการลำดับเรื่องถูกจัดการโดยเครื่องแมคอินทอชได้"* QuickRing จะช่วยให้เราสามารถโอนย้ายข้อมูลกราฟิก และรูปภาพระหว่าง 2 เครื่องได้อย่างรวดเร็ว

มรดกจากซูเปอร์คอมพิวเตอร์

วิธีการวงแหวนบิดของ QuickRing ดังในรูปที่ 4 เป็น 1 ใน 2 วิธีการที่ได้รับการปรับปรุงขึ้นใหม่ที่เด่นชัดที่สุด อีกวิธีหนึ่งได้แก่การใช้สัญญาณที่มีระดับแรงดันต่ำบนบัสที่มีความอ่อนตัวที่ทำหน้าที่เป็นเสมือนกับสายส่งที่มีความต้านทาน 50 โอห์ม

ทั้งสถาปัตยกรรม ISA, EISA, ไมโครแชนเนล, VL-Bus และ PCI ต่างทำงานกับสัญญาณตรรกะแบบ TTL สัญญาณเหล่านี้เปลี่ยนแปลงระดับแรงดันอยู่ระหว่างตรรกะค่าต่ำที่ประมาณ 0 โวลต์ กับตรรกะสูงที่ระดับแรงดันสูงกว่า 2.4 โวลต์ บัสใด ๆ ก็ตามที่ใช้สัญญาณแบบนี้จะต้องมีความต้านทานค่อนข้างสูง เพื่อที่จะลดกำลังลงสู่ระดับที่องค์ประกอบตรรกะมาตรฐานสามารถรับได้ ยกตัวอย่างเช่น ถ้าใช้สัญญาณในช่วงระดับแรงดันดังกล่าวกับบัสแบบ QuickRing ซึ่งมีความต้านทาน 50 โอห์ม กำลังสูงสุดในแต่ละสายสัญญาณจะเป็น 0.5 วัตต์ สายสัญญาณข้อมูล 32 เส้นของบัสข้อมูลจะรับกำลังรวมกันประมาณ 16 วัตต์ และสายสัญญาณเลขที่อยู่รับไปอีก 16 วัตต์ เห็นได้ชัดว่า ในกรณีนี้จำเป็นจะต้องมีการระบาย

ความร้อนด้วยของเหลวในซีพียู และชิพทุก ๆ ตัวที่ต่อเข้ากับบัส

แต่บริษัท National Semiconductor ซึ่งตั้งอยู่ที่เมืองซานตาคลารา มลรัฐแคลิฟอร์เนีย ได้นำวิทยาการของชิพที่ได้พัฒนาขึ้นมาสำหรับบัสของกองทัพเรือสหรัฐฯ มาประยุกต์ใช้เพื่อแก้ปัญหานี้ให้กับแอปเปิ้ล โดยการใช้ระดับแรงดันที่ต่ำมากในแต่ละสายสัญญาณ คือระดับแรงดันจากยอดถึงยอดน้อยกว่า 1 โวลต์มาก สัญญาณดังกล่าวจะถูกขยายโดยภาคขยายสัญญาณที่มีความไวและความเร็วสูงให้กลายเป็นสัญญาณแบบ TTL ที่ชิพใช้ในการเชื่อมประสานตรรกะกับแผงวงจรเพิ่มเติม มีเพียงสัญญาณในบัสเท่านั้นที่ใช้ระดับแรงดันต่ำ และจะไม่สามารถต่อเชื่อมสัญญาณจากบัสเข้ากับชิพอื่น ๆ นอกเหนือไปจากตัวขับสัญญาณพิเศษของ QuickRing ได้เลย

บริษัท Beta Phase ซึ่งอยู่ที่เมืองเมนโลพาร์ค มลรัฐแคลิฟอร์เนีย เป็นบริษัทที่ออกแบบการเชื่อมต่อสำหรับซูเปอร์คอมพิวเตอร์ และเครื่องบินได้สอนวิธีการเชื่อมต่อการ์ดเข้าด้วยกันโดยใช้วงจรความเร็วสูงแบบเดียวกันให้กับแอปเปิ้ล ฮาล เคนท์ นักออกแบบท่านหนึ่งของ Beta Phase กล่าวว่า QuickRing เป็นบัสของเครื่องพีซีแบบแรกที่สามารถใช้สายสัญญาณ และตัวเชื่อมต่อความเร็วสูงแบบเดียวกับที่ใช้ในเครื่องซูเปอร์คอมพิวเตอร์ Cray ได้อย่างมีประสิทธิภาพ

สายสัญญาณทำขึ้นจากชั้นทองแดงและสารประกอบพลาสติก ทางเดินสัญญาณถูกกัดออกจากทองแดงด้วยวิธีเดียวกันกับที่ใช้ในการผลิตแผ่นวงจรพิมพ์ สายสัญญาณแบบนี้สามารถส่งผ่านข้อมูลที่ความเร็ว 180 เมกะบิตต่อวินาทีได้โดยที่คุณภาพของสัญญาณแทบจะไม่ลดลงเลย และสามารถทำการผลิตได้ด้วยต้นทุนไม่สูง ตามรายงานของแอปเปิ้ล ในการผลิต QuickRing จะเสียค่าใช้จ่ายของระบบเพิ่มขึ้นเพียง 20 เหรียญ และอีก 5 เหรียญสำหรับตัวเชื่อมต่อ เป็นที่คาดการณ์ว่า ชิพตัวควบคุม และตัวเชื่อมต่อ จะถูกนำออกสู่ตลาดได้ในต้นปีหน้า

ว่าด้วยเรื่องช่วงกว้างแถบสัญญาณ

แม้ว่า QuickRing จะโอนย้ายข้อมูลได้ด้วยความเร็วสูงสุดถึง 350 เมกะบิตต่อวินาที แต่ตอนนี้ก็ยังไม่มีซีพียูตัวใด หรืออุปกรณ์รอบข้างตัวไหนที่สามารถใช้งานช่วงกว้างแถบสัญญาณนี้ได้ทั้งหมดในคราวเดียว แต่ด้วยวิธีการวงแหวนบิดของแอปเปิ้ล จะช่วยให้สายธารข้อมูลหลายสายสามารถไหลระหว่างแผงวงจรได้พร้อมกัน ดังนั้นตัวควบคุมดิสก์ไดรฟ์สามารถดึงภาพจากดิสก์และส่งมันไปยังหน่วยความจำจอภาพ ในขณะเดียวกันกับที่อีกส่วนหนึ่งของหน่วยความจำจอภาพส่งข้อมูลไปยังชิพย่อขนาดข้อมูลจอภาพได้ อุปกรณ์รอบข้างแต่ละอันบน QuickRing จะเป็นเหมือนกับบัพ (node) ในการส่งสายธารข้อมูลจากซีพียูไปยังตัวควบคุมจอภาพ ซีพียูจะเปิดช่องสัญญาณ (channel) ด้วยคำสั่ง (token) อันหนึ่ง จากนั้นเมื่อใดก็ตามที่ซีพียูมีข้อมูลที่จะต้องส่ง ก็จะทำการส่งชุดคำสั่งผ่าน QuickRing ออกไป

นี่เป็นเหตุผลที่ว่า ทำไมการเปรียบเทียบความเร็วในการโอนย้ายข้อมูลระหว่างโลคอลบัสแบบต่าง ๆ จึงเป็นเรื่องยาก ยกตัวอย่างเช่น ถ้าข้อมูลจากที่พักข้อมูลในหน่วยความจำหลักถูกส่งไปยังการ์ดจอภาพโดยตรง ความเร็วในการโอนย้ายข้อมูลจะค่อนข้างสูง แต่ก็ยังไม่เท่ากับความเร็วสูงสุด 130 เมกะบิตต่อวินาทีของ VL-Bus และ PCI

สิ่งที่เกิดขึ้นเมื่อซีพียูสั่งเริ่มต้นทำการโอนย้ายข้อมูลอย่างรวดเร็ว ในลักษณะที่เรียกว่า burst transfer จากอุปกรณ์ VL-Bus ตัวหนึ่ง จะต้องใช้เวลา 2 สัญญาณนาฬิกาก่อนที่จะได้รับคำบรรจุข้อมูลคำแรกกลับมาจากหน่วยความจำ ถ้าซีพียูใช้ความถี่สัญญาณนาฬิกา 33 เมกะเฮิรตซ์ การโอนย้ายข้อมูลเริ่มแรกนี้จะใช้เวลา 60 นาโนวินาที ซึ่งเท่ากับเพียง 67 เมกะบิตต่อวินาทีเท่านั้น แต่สำหรับการโอนย้ายที่ตามมาคำบรรจุข้อมูลสามารถถูกอ่านได้ในทุกสัญญาณนาฬิกา จึงมีอัตราเร็วในการโอนย้ายข้อมูลเป็น 132 เมกะบิตต่อวินาที

ในอีกแง่หนึ่ง สมมติซีพียูกำลังคำนวณหาจุดที่ต้องแสดง (เช่น กับ GUI อันหนึ่ง) และส่งจุดที่ได้ทีละจุดไปยังการ์ดจอภาพ ในกรณีนี้ การโอนย้ายข้อมูลจะไม่ใช่ลักษณะ burst transfer แต่จะผ่านข้อมูลเข้าไปในปมเรียงตามลำดับกันไป อัตราเร็วในการโอนย้ายข้อมูลในกรณีนี้จะต่ำกว่า 67 เมกะบิตต่อวินาที ในกรณีของ PCI ก็จะเป็นไปในทำนองเดียวกัน (เช่นเดียวกันกับ EISA และไมโครแชนแนล)

สำหรับ QuickRing สภาพการณ์ยิ่งซับซ้อนขึ้นไปอีก เนื่องจากมีการเสียเวลาในการเริ่มต้นการโอนย้ายข้อมูลสูงมาก เพราะเราต้องทำการเปิดช่องสัญญาณ และทำชุดคำสั่งเริ่มต้นก่อน QuickRing นั้นไม่ได้ทำการโอนย้ายจุดทีละจุดที่ความเร็ว 180 เมกะบิตต่อวินาที หากแต่หลังจากที่การโอนย้าย

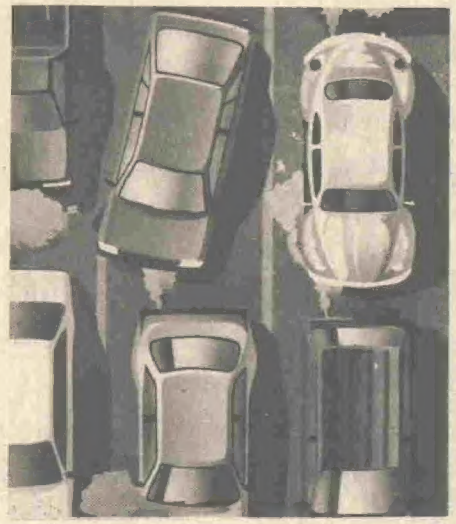
เริ่มแรกถูกทำสำเร็จแล้ว ข้อมูลที่เหลือจะสามารถถูกโอนย้ายไปด้วยความเร็วที่ใกล้เคียงกับข้อจำกัดตามทฤษฎีของวงแหวน

ความเร็วขนาดนี้พอเพียงหรือยัง?

ในการประยุกต์ใช้งานทางด้านกราฟิกและมัลติมีเดีย ช่วงกว้างของแถบสัญญาณที่ต้องการนั้นไม่รู้จักคำว่าเพียงพอ เมื่อผู้ผลิตสามารถจัดหาการแสดงผลความเร็วสูงที่ความละเอียด 640×480 ของจอวีจีเอให้ได้ ความละเอียดที่ผู้ใช้ต้องการก็เพิ่มขึ้นเป็น 1024×768 ซึ่งมากกว่าเดิมถึง 2.5 เท่า

แม้ว่าโลคอลบัสแบบ PCI และ VL-Bus จะมีความเร็วสูงกว่าบัสแบบ EISA, ไมโครแชนเนล และ ISA แต่ก็เป็นการยากที่จะเพิ่มให้โลคอลบัสทั้งสองแบบนี้มีความเร็วสูงขึ้นกว่าที่ได้พัฒนาไว้ในขณะนี้ อย่างไรก็ดี ทั้ง VESA และอินเทลต่างเชื่อมั่นว่าบัสของตนจะสามารถรองรับความต้องการในอนาคตได้ ซึ่งก่อให้เกิดคำถามที่ว่า *"เราจะต้องการความเร็วของบัสสำหรับอุปกรณ์รอบข้างเพิ่มขึ้นอีกจริง ๆ หรือไม่?"* ขึ้น

"หากเราสามารถมีบัสที่เร็วขึ้นกว่านี้ เราก็จะสามารถผลิตจอภาพที่แสดงผลได้เร็วขึ้นไปอีกได้" นั่นเป็นคำกล่าวของ ควน แห่งบริษัท ATI แต่ สเลเตอร์ กลับมีความเห็นว่า ทั้ง VL-Bus และ PCI จะยังคงเพียงพอสำหรับอนาคตที่สามารถเล็งเห็นได้เบื้องหน้านี้ *"ถึงเราจะใช้จอภาพแบบ NTSC (National Television Standards Committee) ก็จะยังคงเหลือช่วงกว้างแถบความถี่บนบัสอีกมาก"* เขากล่าว



ในช่วงเวลาสั้น ๆ นับจากนี้ไป หรืออาจยาวนานกว่านั้น ทั้ง VL-Bus และ PCI จะสามารถรองรับความต้องการของผู้ใช้งานเครื่องพีซีแบบอินเทลได้ ทั้งคู่เป็นหนทางที่คุ้มค่าในการเพิ่มสมรรถนะ ตามความต้องการการประยุกต์ใช้งานทางด้านกราฟิก และฮาร์ดแวร์ความเร็วสูงของวันนี้ อย่างไรก็ดี ควน และนักคอมพิวเตอร์ท่านอื่น ๆ อีกหลายท่านได้ทวนกระแสของการยอมรับเอาโลคอลบัสเป็นหนทางการแก้ปัญหาในจินตนาการของผู้คนจำนวนมาก ออกมาเตือนสติว่า *"ผู้คนจำนวนมาก มองเห็นโลคอลบัสเป็นเสมือนกับสิ่งประทานจากพระเจ้าผู้มาโปรดให้กับงานทางด้านกราฟิก"* เขาแนะว่า เราควรจะชั่งน้ำหนักระหว่างตัวเลือกทุกทางที่เป็นไปได้ รวมทั้ง ISA ด้วย ก่อนทำการตัดสินใจ เพราะบางที การติดตั้งแผงตัวประมวลผลจอภาพร่วมแบบ ISA หรือหน่วยความจำแคชของตัวควบคุมฮาร์ดดิสค์เพิ่มเติม อาจเพิ่มสมรรถนะให้กับระบบที่มีอยู่ได้คุ้มค่ากว่าการเปลี่ยนมาใช้ระบบ VL-Bus

ด้วยการใช้วิทยาการแบบเดียวกันกับของซูเปอร์คอมพิวเตอร์ของ Quick Ring ทำให้เรามองเห็นแววว่า การ์ดคอมพิวเตอร์ความเร็วสูงสุดจะเชื่อมต่อถึงกันได้อย่างไรในอนาคต โดยการใช้สัญญาณแรงดันต่ำมากในสายส่ง QuickRing จะสามารถรองรับความต้องการของการประยุกต์ใช้งานในวันข้างหน้าได้ทั้งหมด แต่เราก็ยังคงต้องรอดูกันต่อไปว่า จะเกิดความร่วมมือกันทางด้านวิทยาการอันก้าวหน้านี้ขึ้นหรือไม่ หรือว่าเราจะต้องให้ซีพียูแบกรับภาระของอุปกรณ์รอบข้างบนโลคอลบัสกันต่อไป

บทสรุป

VL-Bus
- มีให้ซื้อหากันแล้ว
- ต้นทุนต่ำ
- จำกัดขนาดของระบบ คือมีสล้อตได้ไม่เกิน 3 ช่อง
- ข้อกำหนดที่อ่อนตัว (เพื่อให้ผู้ผลิตสามารถปรับปรุงเพิ่มเติมได้)

PCI
- ซีพียูรับภาระน้อยกว่าการใช้ VL-Bus
- เป็นการออกแบบที่มองการณ์ไกลกว่า
- ได้รับการตรวจสอบมาอย่างดีกว่าทนทานกว่า

QuickRing
- เร็วที่สุด และเร็วกว่าบัสแบบอื่นมาก
- เป็นการออกแบบที่ก้าวหน้าที่สุด
- ทำให้สามารถโอนย้ายข้อมูลระหว่างแผงวงจรเพิ่มเติมได้